

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05218211 A**

(43) Date of publication of application: **27.08.93**

(51) Int. Cl

H01L 21/90

H01L 21/28

(21) Application number: **04319550**

(71) Applicant: **NEC CORP**

(22) Date of filing: **30.11.92**

(72) Inventor: **FUKASE TADASHI**

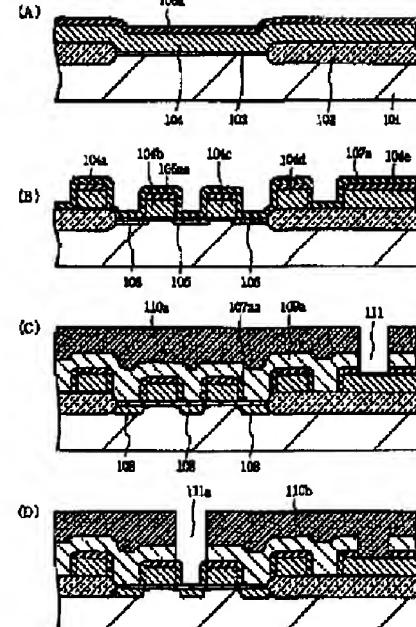
(30) Priority: **13.12.91 JP 03329209**

(54) FORMATION OF SELF-ALIGNED CONTACT HOLE COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To narrow the shared space by a method wherein the title forming method is composed of the three steps, i.e., the first step forming aluminum oxide film spacers, the second step forming diffused layers having a conductivity type and the third step forming a contact hole reaching the diffused layer for directly connecting the upper layer to the diffused layer.

CONSTITUTION: An N-type polycrystalline silicon film 104 and an aluminum oxide film 105a are formed on a p type silicon substrate 101 through the intermediary of a field oxide film 102 and a gate oxide film 103. These films are patterned so as to form an aluminum oxide film mask 105a covering multiple wirings such as a gate electrode 104a. Next, another aluminum oxide film 107a is formed on the whole surface to be etched back so as to form an aluminum film spacer 107aa covering the sides of these wirings and a layer insulating film 109a. Finally, the layer insulating film 109a and the gate oxide film 103 are dry-etched away so as to form a self-aligned contact hole 111a reaching a diffused layer 108.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218211

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵
H 01 L 21/90
21/28

識別記号 庁内整理番号
J 7735-4M
C 7735-4M
L 7738-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 6(全 15 頁)

(21)出願番号 特願平4-319550

(22)出願日 平成4年(1992)11月30日

(31)優先権主張番号 特願平3-329209

(32)優先日 平3(1991)12月13日

(33)優先権主張国 日本 (JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 深瀬 匠

東京都港区芝五丁目7番1号日本電気株式会社内

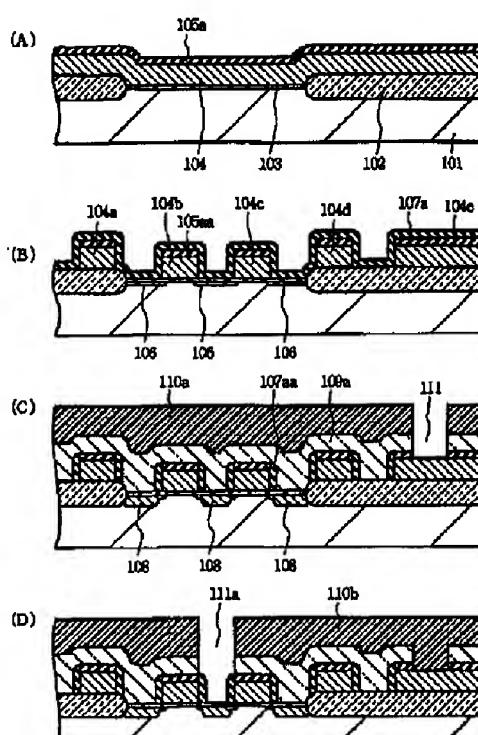
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 セルフアライン・コンタクト孔の形成方法

(57)【要約】

【目的】下層配線に対して自己整合的なコンタクト孔を形成するにあたり、このコンタクト孔の占有面積を十分に小さくするとともに、この下層配線とこのコンタクト孔に埋め込まれる上層配線との間の絶縁性を確保する。

【構成】P型のシリコン基板101上に、フィールド酸化膜102、ゲート酸化膜103を介して、N型の多結晶シリコン膜104と酸化アルミニウム膜105aが形成される。これらの膜がパターニングされ、ゲート電極104a等の複数の配線とこれらの配線の上面を覆う酸化アルミニウム膜マスク105aaとが形成される。全面に酸化アルミニウム膜107aが形成され、この膜がエッチバックされ、これらの配線の側面を覆う酸化アルミニウム膜スペーサ107aaが形成される。全面にBPSG膜からなる層間絶縁膜109aが形成される。プロロカーボン系のガスを用いて、層間絶縁膜109a、ゲート酸化膜103が異方性ドライエッティングされ、シリコン基板101表面に形成された拡散層108に達するセルフアライン・コンタクト孔111aが形成



【特許請求の範囲】

【請求項1】 シリコン系の絶縁膜を介して半導体基板上に導電体膜、マスク用の酸化アルミニウム膜を順次形成し、前記マスク用の酸化アルミニウム膜と前記導電体膜とを所定の同一形状にパターニングして前記導電体膜からなる配線と前記配線の上面に前記マスク用の酸化アルミニウム膜からなる酸化アルミニウム膜マスクとを形成し、全面にスペーサ用の酸化アルミニウム膜を形成し、前記スペーサ用の酸化アルミニウム膜をエッチングして前記配線の側面に前記スペーサ用の酸化アルミニウム膜からなる酸化アルミニウム膜スペーサを形成する工程と、
前記半導体基板表面の所定の領域に所定の導電型を有する拡散層を形成する工程と、

全面に酸化シリコン系の層間絶縁膜を形成し、フロロカーボン系のガスによる異方性ドライエッチングを行なつて前記拡散層に達するセルフアライン・コンタクト孔を形成する工程と、を有することを特徴とするセルフアライン・コンタクト孔の形成方法。

【請求項2】 上記層間絶縁膜を形成した後、上記層間絶縁膜、および上記酸化アルミニウム膜マスクを順次エッチングして上記配線に達するコンタクト孔を形成する工程を有することを特徴とする請求項1記載のセルフアライン・コンタクト孔の形成方法。

【請求項3】 前記配線が形成される領域における所定の位置に、前記マスク用の酸化アルミニウム膜の開口部を形成する工程と、

フロロカーボン系のガスによる異方性ドライエッチングを行ない、前記開口部を介して上記配線に達するセルフアライン・コンタクト孔と、前記拡散層に達する前記セルフアライン・コンタクト孔とを同時に形成する工程と、を有することを特徴とする請求項1記載のセルフアライン・コンタクト孔の形成方法。

【請求項4】 前記導電体膜を形成した後、全面にマスク用の酸化シリコン膜を形成する工程と、
前記マスク用の酸化アルミニウム膜と前記マスク用の酸化シリコン膜と上記導電体膜とを所定の同一形状にパターニングし、前記導電体膜からなる前記配線と、前記配線の上面に前記マスク用の酸化シリコン膜マスク並びに前記マスク用の酸化アルミニウム膜からなる前記アルミニウム膜マスクとを形成する工程と、を有することを特徴とする請求項3記載のセルフアライン・コンタクト孔の形成方法。

【請求項5】 前記シリコン系の絶縁膜が選択的に形成されたフィールド酸化膜、およびゲート酸化膜であり、前記配線がゲート電極であり、前記拡散層が前記ゲート電極と前記フィールド酸化膜とに対して自己整合的に形成されたソース・ドレイン領域となる拡散層であることを特徴とする請求項1、請求項2、請求項3、あるいは

法。

【請求項6】 前記シリコン系の絶縁膜上にパッド用の酸化アルミニウム膜を形成する工程と、
前記マスク用の酸化アルミニウム膜と前記マスク用の酸化シリコン膜と前記導電体膜と前記パッド用の酸化アルミニウム膜とを所定の同一形状にパターニングして、前記導電体膜からなる前記配線と、前記配線の上面に前記マスク用の酸化シリコン膜からなる前記酸化シリコン膜マスク並びに前記マスク用の酸化アルミニウム膜からなる前記酸化アルミニウム膜マスクと、前記配線の底面に前記パッド用の酸化アルミニウム膜からなる酸化アルミニウム膜パッドとを形成する工程と、を有することを特徴とする請求項1、請求項2、請求項3、あるいは請求項4記載のセルフアライン・コンタクト孔の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置におけるセルフアライン・コンタクト孔の形成方法に関し、特に半導体装置の微細な配線と微細な拡散層とを接続するためのセルフアライン・コンタクト孔の形成方法に関する。

【0002】

【従来の技術】 半導体装置の微細化には、半導体装置を構成する配線および拡散層等の微細化、配線の多層化等が必要である。さらに、配線と拡散層とを接続するためのコンタクト孔の占有面積の微細化が必要となる。拡散層と第1層の配線とは、酸化シリコン膜等の絶縁膜により絶縁されている。また、上層配線と下層配線とは、酸化シリコン膜、PSG膜、もしくはBPSG膜等による層間絶縁膜により絶縁されている。拡散層と第1層の配線とを接続するコンタクト孔は、上記絶縁膜を貫通して形成される。また、第2層以上の上層配線と拡散層とを直接に接続するコンタクト孔は、上記層間絶縁膜並びに上記絶縁膜を貫通して形成される。これらコンタクト孔は、コンタクト抵抗が増大しないように開口径を広くし、かつ占有面積を小さくすることが要求される。このため、これらコンタクト孔と拡散層とのマージン（（拡散層の幅-拡散層におけるコンタクト孔底部の口径）/2）が小さくなる（少なくとも0になる）ことが好ましい。特に第2層以上の上層配線と拡散層とを直接に接続するコンタクト孔は、下層配線を避けて形成しなければならぬため、このマージンを最小値に抑えることが、重要になる。

【0003】 例えば、MOSトランジスタが含まれる半導体装置では、第1層の配線がゲート電極からなり、MOSトランジスタのソース・ドレイン領域となる拡散層はゲート電極およびフィールド酸化膜に対して自己整合的に形成されている。このため、第2層以上の上層配線と拡散層とを直接に接続するコンタクト孔は、ゲート電極を避けて形成することになる。このような場合、占有

・コンタクト孔が提案されている。

【0004】MOSトランジスタに形成されたセルフアライン・コンタクト孔を例にとり、セルフアライン・コンタクト孔の構造の概要を説明する。上層配線と拡散層とを直接に接続するためのセルフアライン・コンタクト孔が通常のコンタクト孔と同じ点は、このセルフアライン・コンタクト孔が層間絶縁膜を貫通して拡散層に達しており、かつゲート電極を避けて設けられていることと、このセルフアライン・コンタクト孔には上層配線が埋め込まれていることである。このセルフアライン・コンタクト孔が通常のコンタクト孔と異なる点は、このセルフアライン・コンタクト孔の底部となる拡散層の開口部がゲート電極に対して自己整合的になっていることである。さらに厳密に言うならば、このセルフアライン・コンタクト孔に埋め込まれる上層配線とゲート電極とは絶縁されなければならぬことから、セルフアライン・コンタクト孔の底部となる拡散層の開口部は、ゲート電極に対して所定の間隔を有して自己整合的になっている。このゲート電極とこのセルフアライン・コンタクト孔とは、所定の膜厚を有する所定の絶縁膜により隔てられている。

【0005】次に、セルフアライン・コンタクト孔の2つの代表的な形成方法について説明する。

【0006】セルフアライン・コンタクト孔の第1の形成方法は、アイーイーアイーシーイー・トランザクションズ、第E74巻、第4号、(4月)、818-826頁、1991年(IEICE TRANSACTIONS, VOL. E74, NO. 4 (APRIL), p. 818-826, 1991)に報告されている。この報告では、スタックト型の情報蓄積容量を有するDRAMにおいて、ビット線が第2層の配線で形成され、このビット線とMOSトランジスタのソース・ドレイン領域の一方の拡散層との接続がセルフアライン・コンタクト孔によりなされている。セルフアライン・コンタクト孔の製造工程を示す略断面図である図11を参照すると、上記報告によるセルフアライン・コンタクト孔の第1の形成方法は、以下のようにになっている。

【0007】まず、P型のシリコン基板201表面にフィールド酸化膜202とゲート酸化膜203とが形成される。多結晶シリコン膜と膜厚250nm程度の酸化シリコン膜とが全面に形成される。これら酸化シリコン膜、および多結晶シリコン膜がパターニングされ、多結晶シリコン膜からなるゲート電極(ワード線)204aと、このゲート電極204aの上面を覆い、上記酸化シリコン膜からなる酸化シリコン膜マスク241aとが形成される。酸化シリコン膜マスク241a、ゲート電極204a、およびフィールド酸化膜202をマスクにしたイオン注入が行なわれ、シリコン基板表面には低濃度のN型の拡散層が形成される。次に、全面に膜厚200

コン膜がエッチバックされ、ゲート電極204aの側面を覆う酸化シリコン膜スペーサ242aが形成される。このとき、酸化シリコン膜スペーサ242a並びにゲート電極204aにより覆われていない部分のゲート酸化膜203は除去される。

【0008】次に、高温CVD法により、全面に膜厚50nm程度の酸化シリコン膜(HTO膜)243が形成される。酸化シリコン膜スペーサ242a、酸化シリコン膜マスク241a、ゲート電極204a、およびフィールド酸化膜202をマスクにしたイオン注入が行なわれ、シリコン基板201表面には低濃度のN型の領域と高濃度のN型の領域とを併せ持つ拡散層(ソース・ドレン領域)208aが形成される。全面に膜厚20nm程度の窒化シリコン膜244が形成され、さらに全面にBPSG膜からなる層間絶縁膜209aが形成される〔図11(A)〕。

【0009】次に、フォトレジスト膜210aが形成される。このフォトレジスト膜210aは、ソース・ドレン領域の一方の拡散層208a上に開口部を有している。このフォトレジスト膜210aをマスクにして、層間絶縁膜209aがバッファード沸酸によりウェットエッチングされ、開口部211aが形成される〔図11(B)〕。このウェットエッチングでは、上記窒化シリコン膜244がエッチングストッパーとなる。さらにこのフォトレジスト膜210aをマスクにして、上記窒化シリコン膜244、並びに酸化シリコン膜243がプロカーボン系の同一のエッチングガスにより異方性ドライエッティングされる。これにより、セルフアライン・コンタクト孔211aaが形成される〔図11(C)〕。

30 上記フォトレジスト膜が除去された後、層間絶縁膜209aがリフローされ、層間絶縁膜209aaとなる〔図11(D)〕。この後、図示はしないが、このセルフアライン・コンタクト孔211aaに接続されるビット線が形成される。

【0010】セルフアライン・コンタクト孔の第2の形成方法は、テクニカル・ダイジェスト・オブ・アイイーディーエム、473-476頁、1990年(Technical Digest of IEDM, p. 473-476, 1990)に報告されている。この報告では、SRAMの形成にセルフアライン・コンタクト孔が用いられている。セルフアライン・コンタクト孔の製造工程を示す略断面図である図12を参照すると、上記報告によるセルフアライン・コンタクト孔の第2の形成方法は、以下になる。

【0011】まず、P型のシリコン基板201表面にゲート酸化膜203等が形成され、上面が酸化シリコン膜マスク241b(もしくは窒化シリコン膜マスク)に覆われ、側面が酸化シリコン膜スペーサ242bにより覆われたゲート電極204bが形成され、N型の拡散層2

リコン膜スペーサ242b並びにゲート電極204bにより覆われていない部分のゲート酸化膜203は除去される。次に、全面に酸化アルミニウム膜245が形成される。さらに全面に層間絶縁膜209bが形成される。この層間絶縁膜209bは、BPSG膜、もしくはオソンとTEOS (tetraethylorthosilicate; Si₂O₅H₄)とのCVD法による酸化シリコン膜である。次に、フォトレジスト膜210bが形成される。このフォトレジスト膜210bは、拡散層208ba, 208bb上に開口部を有している。このフォトレジスト膜210bをマスクにして、上記層間絶縁膜209bがプロロカーボン系のガスにより異方性ドライエッティングされ、開口部211bが形成される〔図12(A)〕。このエッティングに際して、酸化アルミニウム膜245はエッティングストッパーとして機能する。

【0012】フォトレジスト膜210bが除去された後、層間絶縁膜209bをマスクにして開口部211bに露出した酸化アルミニウム膜245がウェットエッティングされ、それぞれ拡散層208ba, 208bbに達するセルフアライン・コンタクト孔211ba, 211bbが開口される〔図12(B)〕。このウェットエッティングは、60°C程度の磷酸(H₃PO₄)により行なわれる。

【0013】

【発明が解決しようとする課題】上述のセルフアライン・コンタクト孔の第1の形成方法では、以下の問題点がある。

【0014】層間絶縁膜が形成される前段階において、ゲート電極の側面には、酸化シリコン膜スペーサとHTO膜と窒化シリコン膜とからなる3層の絶縁膜が形成されている。2つのゲート電極の間にはこの3層の絶縁膜が2つ形成されていることになる。このため、第1の問題点は、セルフアライン・コンタクト孔の占有面積がこの3層の絶縁膜の膜厚の2倍程度広くなることである。すなわちこの方法は、半導体装置の微細化に支障をきたすことになる。なお、このHTO膜は、窒化シリコン膜の形成時に拡散層表面がアンモニアにより侵食されるのを防止するために設けられている。

【0015】前述のように、層間絶縁膜のウェットエッティングのマスクとして用いたフォトレジスト膜が再びマスクとして用いられて、同一のエッティングガスにより窒化シリコン膜、およびHTO膜が異方性ドライエッティングされる。これによりセルフアライン・コンタクト孔が形成される。上述の第1の問題点であるセルフアライン・コンタクト孔の占有面積の増大を多少なりとも抑止するためには、例えばこのHTO膜の膜厚を薄くすればよい。しかしながらHTO膜の膜厚を薄くすると、この異方性ドライエッティングの際に、第2の問題点が生じる。

エッティングレートと窒化シリコン膜のエッティングレートの差はあまりない。このため、この場合には、ゲート電極の上面の縁近傍における上記酸化シリコン膜スペーサ、および上記酸化シリコン膜マスクもエッティングされやすくなる。その結果、ゲート電極(ワード線)の上面の縁近傍におけるゲート電極と、このセルフアライン・コンタクト孔に埋設される姿態を有して形成されるビット線との間の絶縁性が劣化する。

【0016】上述のセルフアライン・コンタクト孔の第2の形成方法では、以下の問題点がある。

【0017】第1の問題点は、上記第1の形成方法の第1の問題点と同じである。すなわち、層間絶縁膜が形成される前段階において、ゲート電極の側面には、酸化シリコン膜スペーサと酸化アルミニウム膜とからなる2層の絶縁膜が形成されている。このため、セルフアライン・コンタクト孔の占有面積がこの2層の絶縁膜の膜厚の2倍程度広くなり、半導体装置の微細化に支障をきたすことになる。

【0018】セルフアライン・コンタクト孔の形成の最終段階である上記酸化アルミニウム膜に対するウェットエッティングに原因して、この第2の形成方法の第2の問題点が生じる。例えば、2つのセルフアライン・コンタクト孔が隣接して形成される場合、このウェットエッティングによる酸化アルミニウム膜のオーバーエッチが行なわれると、形成された2つのセルフアライン・コンタクト孔を隔てる酸化アルミニウム膜の膜厚が非常に薄くなり、これら2つのセルフアライン・コンタクト孔にそれぞれに埋め込まれる2本の上層配線の間の絶縁性が劣化する。さらに極端の場合には、2つのセルフアライン・コンタクト孔を隔てる酸化アルミニウム膜が完全に除去され、それぞれのセルフアライン・コンタクト孔に埋め込まれる2本の上層配線が短絡する。ウェットエッティングではエッティングの終了点の検出が容易でないため、上述の現象は起りやすい。なお、この酸化アルミニウム膜のエッティングをウェットエッティングで行なうのは、以下に述べる現象を避けるためである。セルフアライン・コンタクト孔が形成される部分において、この酸化アルミニウム膜は拡散層に直接に接触して形成されている。このため、この部分の酸化アルミニウム膜の除去を例えば塩素系のドライエッティングで行なうことは好ましくない。塩素系のドライエッティングを行なうと、拡散層表面が侵食される。

【0019】上述のセルフアライン・コンタクト孔の第1、および第2の形成方法では、さらに別の問題点がある。これら第1、第2の形成方法は、第1層の配線に対して自己整合的なコンタクト孔の形成方法ではある。しかしながらこれらの方法を拡大適用して3層以上の多層配線を形成した場合、2つ以上の層の配線に対して同時に自己整合的になるコンタクト孔の形成は困難である。

絶縁膜のエッティングストッパーになる膜（例えば塗化シリコン膜、酸化アルミニウム膜）のエッティングを交互に複数回行なわなければならぬが、これら一連のエッティングに際してそれぞれの配線の側面に形成された酸化シリコン膜スペーサは、上層の配線の方から順次薄くなる。このため、形成されたセルフアライン・コンタクト孔を埋め込む配線とこの配線より下層の配線との間の絶縁性の劣化が起りやすくなる。特に、この形成されたセルフアライン・コンタクト孔を埋め込む配線とこれより1層下の配線との間は短絡しやすくなる。すなわち、上述のセルフアライン・コンタクト孔の第1、および第2の形成方法は、3層以上の多層配線に対しては有効性が低いことになる。

【0020】本発明の目的は、微細化された拡散層と微細化された多層配線とを有する半導体装置において、上層配線と拡散層とを直接に接続する占有面積の小さなセルフアライン・コンタクト孔の形成方法を提供することにあり、かつ、配線間の絶縁性の劣化のないセルフアライン・コンタクト孔の形成方法を提供することにあり、さらに、3層以上の上層配線に対しても適用できるセルフアライン・コンタクト孔の形成方法を提供することにある。

【0021】

【課題を解決するための手段】本発明のセルフアライン・コンタクト孔の形成方法は、シリコン系の絶縁膜を介して半導体基板上に導電体膜、マスク用の酸化アルミニウム膜を順次形成し、このマスク用の酸化アルミニウム膜とこの導電体膜とを所定の同一形状にパターニングしてこの導電体膜からなる配線とこの配線の上面にこのマスク用の酸化アルミニウム膜からなる酸化アルミニウム膜マスクとを形成し、全面にスペーサ用の酸化アルミニウム膜を形成し、このスペーサ用の酸化アルミニウム膜をエッチバックして上記配線の側面にこのスペーサ用の酸化アルミニウム膜からなる酸化アルミニウム膜スペーサを形成する工程と、上記半導体基板表面の所定の領域に所定の導電型を有する拡散層を形成する工程と、全面に酸化シリコン系の層間絶縁膜を形成し、フロロカーボン系のガスによる異方性ドライエッティングを行なって上記拡散層に達するセルフアライン・コンタクト孔を形成する工程と、を有している。

【0022】好ましくは、上記層間絶縁膜を形成した後、上記層間絶縁膜、および上記酸化アルミニウム膜マスクを順次エッティングして上記配線に達するコンタクト孔を形成する工程を有する。

【0023】好ましくは、配線が形成される領域における所定の位置に上記マスク用の酸化アルミニウム膜の開口部を形成する工程と、フロロカーボン系のガスによる異方性ドライエッティングを行なって上記開口部を介して上記配線に達するセルフアライン・コンタクト孔と上記

に形成する工程と、を有している。

【0024】好ましくは、上記導電体膜を形成した後に全面にマスク用の酸化シリコン膜を形成する工程と、上記マスク用の酸化アルミニウム膜とこのマスク用の酸化シリコン膜と上記導電体膜とを所定の同一形状にパターニングして上記導電体膜からなる配線とこの配線の上面にこのマスク用の酸化シリコン膜からなる酸化シリコン膜マスク並びに上記マスク用の酸化アルミニウム膜からなる酸化アルミニウム膜マスクとを形成する工程と、を有する。

【0025】好ましくは、上記シリコン系の絶縁膜が選択的に形成されたフィールド酸化膜、およびゲート酸化膜であり、上記配線がゲート電極であり、上記拡散層がこのゲート電極とフィールド酸化膜とに対して自己整合的に形成されたソース・ドレイン領域となる拡散層である。

【0026】好ましくは、上記シリコン系の絶縁膜上にパッド用の酸化アルミニウム膜を形成する工程と、上記マスク用の酸化アルミニウム膜と上記マスク用の酸化シリコン膜と上記導電体膜とこのパッド用の酸化アルミニウム膜とを所定の同一形状にパターニングして、上記導電体膜からなる配線と、この配線の上面に上記マスク用の酸化シリコン膜からなる酸化シリコン膜マスク並びに上記マスク用の酸化アルミニウム膜からなる酸化アルミニウム膜マスクと、上記配線の底面にこのパッド用の酸化アルミニウム膜からなる酸化アルミニウム膜パッドとを形成する工程と、を有する。

【0027】

【実施例】次に、本発明について図面を参照して説明する。

【0028】セルフアライン・コンタクト孔の製造工程を示す略断面図である図1を参照すると、本発明の第1の実施例は、MOSトランジスタを有する半導体におけるセルフアライン・コンタクト孔の形成方法であり、以下のようにになっている。なお、本実施例では、0.4μmデザインルールが採用され、アライメント精度は±0.05μmである。

【0029】まず、P型のシリコン基板101表面に膜厚0.5μm程度のフィールド酸化膜102と膜厚10nm程度のゲート酸化膜103とが選択的に形成され

る。次に、全面に膜厚200nm～250nmのN型の多結晶シリコン膜104が形成され、さらに膜厚100nm程度のマスク用の酸化アルミニウム膜105aが形成される〔図1(A)〕。この酸化アルミニウム膜105aの形成方法の詳細は後述する。

【0030】次に、ゲート電極と同一のパターンを有するフォトレジスト膜（図示せず）をマスクにしたエッティングにより、上記マスク用の酸化アルミニウム膜105a、上記多結晶シリコン膜104がパターニングされ

ト電極104a, 104b, 104c, 104d, 104eが形成され、これらゲート電極104a等のそれぞれの上面には、上記マスク用の酸化アルミニウム膜105aからなる酸化アルミニウム膜マスク105aaが形成される。上記マスク用の酸化アルミニウム膜105aに対するエッチングは、温度0°C, 壓力2mTor, RFパワー200Wの条件で塩素ガス(C1₂)により行なわれる。上記多結晶シリコン膜104に対するエッティングは、公知の方法による。これらゲート電極104a等の幅、および間隔は、0.4μm、および0.4μmである。なお、この一連のエッティングでは、ゲート酸化膜103は除去されない。続いて、上記フィールド酸化膜102、上記酸化アルミニウム膜マスク105aa、および上記ゲート電極104b, 104c等をマスクにしたイオン注入が行なわれ、シリコン基板101表面に低濃度のN型の拡散層106が形成される。次に、全面に膜厚100nm程度のスペーサ用の酸化アルミニウム膜107aが形成される〔図1(B)〕。この酸化アルミニウム膜107aの形成方法の詳細も後述する。

【0031】次に、上記スペーサ用の酸化アルミニウム膜107aがエッチバックされる。これにより、上記ゲート電極104a等のそれぞれの側面には、上記スペーサ用の酸化アルミニウム膜107aからなる酸化アルミニウム膜スペーサ107aaが形成される。上記酸化アルミニウム膜107aに対するエッチバックは、温度20°C, 壓力1.5mTor, RFパワー50Wの条件でBCI₃により行なわれる。BCI₃による酸化アルミニウム膜のエッティングレートは、C1₂による酸化アルミニウム膜のエッティングレートより低いが、このエッティングレートの低さを利用することにより、酸化アルミニウム膜のエッティング量の変化の検出が容易になる。このことから、拡散層106表面にゲート酸化膜103を残存させることができになり、したがって、このエッティングにより拡散層106表面が侵食されることを防がれる。

【0032】次に、上記フィールド酸化膜102、上記酸化アルミニウム膜マスク105aa、上記酸化アルミニウム膜スペーサ107aa、および上記ゲート電極104b, 104c等をマスクにした高濃度のN型不純物のイオン注入が行なわれ、シリコン基板101表面に低濃度のN型の拡散層106とこのイオン注入による高濃度のN型の拡散層とにより構成されたN型の拡散層108が形成される。次に、全面に膜厚400nm～500nmのBPSG膜が堆積、リフローされ、BPSG膜からなる層間絶縁膜109aが形成される。次に、フォトレジスト膜110aをマスクにして層間絶縁膜109a、および酸化アルミニウム膜マスク105aaが順次エッティングされ、ゲート電極104eに達するコンタクト孔111が開口される〔図1(C)〕。このコンタ

するためのものである。なお、このコンタクト孔111を開口するための酸化アルミニウム膜マスク105aaに対するエッティングの際に、ゲート電極104eの上面は多少侵食されるが、拡散層とは異なり支障はない。

【0033】上記フォトレジスト膜110aが除去された後、フォトレジスト膜110bが形成される。このフォトレジスト膜110bは、例えば、ゲート電極104bとゲート電極104cとの間に、口径0.4μmの開口部を有している。次に、このフォトレジスト膜110bをマスクにして、上記層間絶縁膜109aとゲート酸化膜103とがエッティングされる。これにより、ゲート電極104bとゲート電極104cとの間に拡散層108に達するセルフアライン・コンタクト孔111aが開口される〔図1(D)〕。このセルフアライン・コンタクト孔111aの開口のためのエッティングは異方性ドライエッティングであり、温度20°C, 壓力1.5mTor, RFパワー100Wの条件でCHF₃ : CF₄ = 5:1からなるエッティングガスが用いられる。

【0034】CHF₃ : CF₄ = 5:1からなるエッティングガス(ただし、温度20°C, 壓力1.5mTor)による酸化シリコン系の絶縁膜と酸化アルミニウム膜とのエッティング選択比のRFパワー依存性を示す図2を参照すると、酸化シリコン系の絶縁膜のエッティング選択比が大きいことから、上記セルフアライン・コンタクト孔111aの開口のためのエッティングでは、上記酸化アルミニウム膜スペーサ107aa等はほとんどエッティングされない。さらに、全面を覆う酸化アルミニウム膜は存在しないため、上記セルフアライン・コンタクト孔111aの開口のためのエッティングは、層間絶縁膜109aとゲート酸化膜103との酸化シリコン系の絶縁膜のエッティングのみとなる。また、下層配線である2本のゲート電極104b, 104cの間に存在する酸化シリコン系の絶縁膜以外の膜は、合計膜厚が200nm程度の酸化アルミニウム膜スペーサ107aaのみである。これらのことから、上記第1の実施例によるセルフアライン・コンタクト孔111aの占有面積は、従来の形成方法による従来のセルフアライン・コンタクト孔の占有面積より小さくなる。また、このセルフアライン・コンタクト孔111aに埋め込まれて拡散層108と接続する上層配線とゲート電極104b, 104cとは、両者の間に存在する酸化アルミニウム膜マスク105aaと酸化アルミニウム膜スペーサ107aaとにより、良好に絶縁される。さらに、上層配線の上面、および側面をそれぞれ酸化アルミニウム膜マスクと酸化アルミニウム膜スペーサとで覆うことは容易であることから、本実施例のセルフアライン・コンタクト孔の形成方法は、3層以上の多層配線に適用することが可能である。

【0035】上記第1の実施例における酸化アルミニウム膜の形成方法について説明する。この膜をスパッタ法

250°C, スパッタ圧力は約0.5 mTorr, Ar流量は18 sccm, スパッタパワーは400Wである。別の方針としてジャパン・エレクトロニクス・ジャーナル・オブ・アプライド・フィジックス、第30巻、第6-B号、L1139-L1141頁、(1991) (Japanese Journal of Applied Physics, Vol. 30, No. 6-B, pp. L1139-L1141, (1991))に報告されたCVD法を用いることもできる。このCVD法は、10⁻⁵ Torr程度の反応室に20 mTorr程度のTMA (tri-methylaluminum: Al (CH₃)₃) と20 mTorr程度の過酸化水素 (H₂O₂) とが交互に流入されて酸化アルミニウムが形成される。このときの反応室の温度は室温程度でもよい。150°Cの場合には、酸化アルミニウム膜の成長速度は7 nm/minである。

【0036】セルフアライン・コンタクト孔の製造工程を示す略断面図である図3を参照すると、本発明の第2の実施例は、上記第1の実施例と異なり、上層配線とゲート電極とを直接に接続するコンタクト孔もセルフアライン・コンタクト孔にすることができる。本実施例は、以下のようにになっている。

【0037】まず、マスク用の酸化シリコン膜105aまでは、上記第1の実施例と同様に形成される。次に、上層配線、およびフィールド酸化膜102上の部分でのゲート電極を直接に接続するセルフアライン・コンタクト孔が開口される予定の領域において、この領域に内包される姿態を有する開口部112が上記酸化アルミニウム膜105aに形成される〔図3(A)〕。この開口部112を形成するための酸化アルミニウム膜105aのエッチングは、BC1₃を用いるのが好ましい。

【0038】次に、層間絶縁膜109aまでが上記第1の実施例と同様の方法により形成される。続いて、フォトトレジスト膜110cが形成される。このフォトトレジスト膜110cは、ゲート電極104bとゲート電極104cとの間、および開口部112を外包する位置に、それぞれ開口部を有している。次に、このフォトトレジスト膜110cをマスクにして、上記層間絶縁膜109a(およびゲート酸化膜103)がエッチングされる。これにより、セルフアライン・コンタクト孔111aと開口部112を介してゲート電極104eに達するセルフアライン・コンタクト孔111bとが開口される〔図3(B)〕。セルフアライン・コンタクト孔111bの形成が可能なのは、このセルフアライン・コンタクト孔111bの開口のエッチングにおいて、酸化アルミニウム膜のエッチングが不要なためである。

【0039】本実施例は上記第1の実施例の有する効果を有している。さらに、上層配線の上面、および側面がそれぞれ酸化アルミニウム膜マスク、および酸化アルミ

例に比べて本実施例は有利になる。上記第1の実施例ではゲート電極に達するコンタクト孔はセルフアライン・コンタクト孔にすることが不可能である。すなわち、本実施例は、多層配線を有する半導体装置の微細化に対して、極めて有効である。

【0040】セルフアライン・コンタクト孔の製造工程の略断面図である図4を参照すると、本発明の第3の実施例は、以下のようにになっている。

【0041】まず、N型の多結晶シリコン膜104までは上記第1、第2の実施例と同様に形成される。次に、全面に50 nm程度のマスク用の酸化シリコン膜113aが形成される。この酸化膜113aは、熱酸化法、もしくはCVD法により形成される。続いて、上記第2の実施例と同様の方法により、マスク用の酸化アルミニウム膜105aが形成され、この酸化アルミニウム膜105aに開口部112aが形成される〔図4(A)〕。

【0042】次に、ゲート電極と同一のパターンを有するフォトトレジスト膜(図示せず)をマスクにしたエッチングにより、上記マスク用の酸化アルミニウム膜105a、上記マスク用の酸化シリコン膜113a、上記多結晶シリコン膜104がパターニングされる。これにより、多結晶シリコン膜104からなるゲート電極104a、104b、104c、104d、104eが形成され、これらゲート電極104a等のそれぞれの上面には、上記マスク用の酸化シリコン膜113aaと上記マスク用の酸化アルミニウム膜105aからなる酸化アルミニウム膜マスク113aaaと上記マスク用の酸化アルミニウム膜マスク105aaaとが形成される。その後、フォトトレジスト膜110cの形成までが上記第2の実施例と同様に行なわれる。次に、フォトトレジスト膜110cをマスクにして、上記層間絶縁膜109a、酸化シリコン膜マスク113aaa、およびゲート酸化膜103が、エッチングされる。これにより、セルフアライン・コンタクト孔111aと開口部112aを介してゲート電極104eに達するセルフアライン・コンタクト孔111bとが開口される〔図4(B)〕。

【0043】上記第3の実施例は上記第2の実施例の有する効果を有しているだけでなく、開口部112aを形成する際のマスク用の酸化アルミニウム膜105aのエッチングにおいて、多結晶シリコン膜104の侵食を充分に防止できる効果を有する。このことから、本実施例は、配線の形成材料となる導電体膜として塩素系ガスに対するエッチングレートが高い金属膜(例えばアルミニウム膜)が採用される場合、極めて有利になる。

【0044】次に、図面を参照して上記第3の実施例の応用例について説明する。

【0045】セルフアライン・コンタクト孔の略平面図である図5、図5のXX線での製造工程を示す略断面図である図6、および図5のYY線での製造工程を示す略

1の応用例は、スタックド型の情報蓄積容量を有するDRAMへの応用例であり、ノード・コンタクト孔、およびピット・コンタクト孔が共にセルフアライン・コンタクト孔により形成され、ピット線が第2層の配線により形成されている。上記第1の応用例は、以下のようになっている。

【0046】まず、P型のシリコン基板101表面に選択的にフィールド酸化膜102、ゲート酸化膜103が形成される。次に、全面に例えればポリサイド膜からなる導電体膜が形成され、さらにマスク用のシリコン酸化膜、マスク用の酸化アルミニウム膜が形成される。その後、一連のエッ칭、イオン注入等が行なわれ、N型の拡散層108a、108bとワード線124a、124b、124c、124d、124e等とが形成される。それぞれのワード線124a等の上面は、酸化シリコン膜マスク113aaと酸化アルミニウム膜マスク105aaとにより覆われる。また、それぞれのワード線124a等の側面は、酸化アルミニウム膜スペーサ107aaにより覆われる。次に、全面にリフローされたBPSG膜からなる層間絶縁膜109aが形成される。続いて、拡散層108bに達するセルフアライン・コンタクト孔111cが開口される〔図5、図6(A)、図7(A)〕。このセルフアライン・コンタクト孔111cは、ピット・コンタクト孔であり、2本のワード線(例えれば、ワード線124b、124c)に対して自己整合的に形成される。

【0047】次に、第2の導電体膜からなるピット線125aa、125ab、125ac等が形成される。これらピット線125aa等は、それぞれセルフアライン・コンタクト孔111cを介してそれぞれ拡散層108bに接続される。それぞれのピット線125aa等の上面は、酸化シリコン膜マスク113baと酸化アルミニウム膜マスク105baとにより覆われる。また、それぞれのピット線125aa等の側面は、酸化アルミニウム膜スペーサ107baにより覆われる。次に、全面にリフローされたBPSG膜からなる層間絶縁膜109bが形成される。続いて、層間絶縁膜109b、109a、およびゲート酸化膜103が順次エッティングされ、拡散層108aに達するセルフアライン・コンタクト孔121dが開口される〔図5、図6(B)、図7(B)〕。このセルフアライン・コンタクト孔121dは、ノード・コンタクト孔であり、2本のワード線(例えれば、ワード線124a、124b)と2本のピット線(例えれば、ピット線125aa、125ab)とに対して自己整合的に形成される。

【0048】次に、セルフアライン・コンタクト孔121dを介して拡散層108aに接続されるストレージノード電極131aが形成され、このストレージノード電極131aを覆う誘電体膜132aが形成され、さらに

(C)、図7(C)]。これらストレージノード電極131a、誘電体膜132a、およびセルプレート電極133aの形成により、本応用例のスタックド型の情報蓄積容量の形成が完了する。

【0049】セルフアライン・コンタクト孔の略平面図である図8、および図8のXX線での製造工程を示す略断面図である図9を参照すると、上記第3の実施例の第2の応用例は、スタックド型の情報蓄積容量を有するDRAMへの応用例であり、ノード・コンタクト孔、およびピット・コンタクト孔が共にセルフアライン・コンタクト孔により形成され、ピット線が第3層の配線により形成されている。上記第2の応用例は、以下のようになっている。

【0050】まず、上記第1の応用例と同様の方法により、層間絶縁膜109aまでが形成される。次に、層間絶縁膜109a、およびゲート酸化膜103が順次エッティングされ、拡散層108aに達するセルフアライン・コンタクト孔111dが開口される。このセルフアライン・コンタクト孔111dは、ノード・コンタクト孔であり、2本のワード線(例えれば、ワード線124a、124b)に対して自己整合的に形成される。次に、セルフアライン・コンタクト孔111dを介して拡散層108aに接続されるストレージノード電極131aが形成され、全面に誘電体膜132が形成され、さらに全面に第2の導電体膜133、第2のマスク用の酸化シリコン膜113b、および第2のマスク用の酸化アルミニウム膜105bが形成される〔図8、図9(A)〕。

【0051】次に、上記第2のマスク用の酸化アルミニウム膜105b、上記第2のマスク用の酸化シリコン膜113b、上記第2の導電体膜133、および上記誘電体膜132が順次エッティングされ、拡散層108bの直上に開口部(図示せず)が設けられる。また、このエッティングにより、酸化アルミニウム膜マスク105ba、酸化シリコン膜マスク113ba、および上記第2の導電体膜からなるセルプレート電極133bが形成され、本応用例のスタックド型の情報蓄積容量の形成が完了する。続いて、セルプレート電極133bの側面(上記開口部の側面)に、酸化アルミニウム膜スペーサ107baが形成される。次に、全面に第2の層間絶縁膜109bが形成される。続いて、層間絶縁膜109b、109a、およびゲート酸化膜103が順次エッティングされ、拡散層108bに達するセルフアライン・コンタクト孔121eが開口される〔図8、図9(B)〕。このセルフアライン・コンタクト孔121eは、ピット・コンタクト孔であり、2本のワード線(例えれば、ワード線124b、124c)とセルプレート電極133b(上記開口部)とに対して自己整合的に形成される。

【0052】次に、全面に第3の導電体膜が形成される。この導電体膜がバーニングされ、セルフアライン

されるビット線125ba等が形成される〔図8、図9(C)〕。

【0053】上述のように上記第1、第2の応用例は、ノード・コンタクト孔、およびビット・コンタクト孔が共にセルフアライン・コンタクト孔により形成されるため、DRAMのメモリセルの縮小に大きく寄与する。

【0054】セルフアライン・コンタクト孔の製造工程を示す略断面図である図10を参照すると、本発明の第4の実施例は、少なくとも3層の配線を有し、MOSトランジスタを有する半導体におけるセルフアライン・コンタクト孔の形成方法であり、少なくとも第2層の配線の底面には酸化アルミニウム膜パッドが形成されている。本実施例は、以下のようになっている。

【0055】まず、上記第3の実施例と同様の方法により、マスク用の酸化アルミニウム膜までが形成され、この酸化アルミニウム膜に開口部112aa、112abが形成される。同様に、ゲート電極104f、104g、104h、104i、104j、酸化アルミニウム膜マスク105aa、酸化シリコン膜マスク113aa、酸化アルミニウム膜スペーサ107aa、N型の拡散層108、および層間絶縁膜109aが形成される。その後、全面に膜厚100nm程度のパッド用の酸化アルミニウム膜114が形成される。次に、フォトレジスト膜110cをマスクにして、上記酸化アルミニウム膜114、上記層間絶縁膜109a、上記酸化シリコン膜マスク113aa、およびゲート酸化膜がエッチングされ、セルフアライン・コンタクト孔111a、111bが開口される〔図10(A)〕。

【0056】上記フォトレジスト膜110cが除去された後、全面に第2の導電体膜、第2のマスク用の酸化シリコン膜、および第2のマスク用の酸化アルミニウム膜が形成される。第2のマスク用の酸化アルミニウム膜に開口部112bが形成された後、これら第2のマスク用のアルミニウム膜、第2のマスク用の酸化シリコン膜、第2の導電体膜、および上記パッド用の酸化アルミニウム膜114が順次エッチングされる。これにより、第2の導電体膜からなる配線115a、115b、115c、115d等と、酸化アルミニウム膜マスク105baと、酸化シリコン膜マスク113baと、酸化アルミニウム膜パッド114aとが形成される。なお、この段階でのパッド用の酸化アルミニウム膜114のエッチングは、BCl₃により行なうのが好ましい。続いて、配線115a等のそれぞれの側面には酸化アルミニウム膜スペーサ107baが形成される〔図10(B)〕。

【0057】次に、全面に層間絶縁膜109bが形成される。続いて、フォトレジスト膜119が形成される。このフォトレジスト膜119をマスクにして、上記層間絶縁膜109b、上記酸化シリコン膜マスク113b

ク113aa、およびゲート酸化膜がエッチングされ、セルフアライン・コンタクト孔121a、121b、121cが開口される〔図10(C)〕。セルフアライン・コンタクト孔121aは、第3層の配線と拡散層108とを接続するコンタクト孔であり、ゲート電極104f、104gと、第2層の配線115a、115bとに對して自己整合的になっている。セルフアライン・コンタクト孔121bは、第3層の配線とゲート電極104jとを接続するコンタクト孔であり、第2層の配線115c、115dとに對して自己整合的になっている。セルフアライン・コンタクト孔121cは、第3層の配線と第2層の配線115cとを接続するコンタクト孔であり、開口部112bに対しても自己整合的になっている。

【0058】上記第4の実施例は上記第3の実施例の有する効果を有しているほかに、深さの異なる複数種類のセルフアライン・コンタクト孔が同時に形成されるときに特有の効果を有する。このときには、長時間のエッチングを要するので、層間絶縁膜等でのサイドエッチングが生じやすくなり、配線の底面が露出しやすくなるという問題を伴なう。ただし、これらの問題は、配線の底面が酸化アルミニウム膜パッドにより覆われていれば、この配線とこのセルフアライン・コンタクト孔に埋め込まれる配線との間の絶縁性は確保されるので深刻にはならない。さらに、長時間のエッチングによりフォトレジスト膜等からの反応生成物が生ずることもありうるが、その場合はこのフォトレジスト膜を除去した後にこの反応生成物を容易に除去できる。

【0059】なお、上記第1、第2、第3、および第4の実施例は、Nチャネル型のMOSトランジスタを有する半導体装置におけるセルフアライン・コンタクト孔の形成方法であるが、本発明はCMOSトランジスタ、バイポーラトランジスタ、あるいはBiCMOSトランジス等の他のトランジスタを有する半導体装置におけるセルフアライン・コンタクト孔の形成にも適用できる。

【0060】

【発明の効果】以上説明したように、本発明のセルフアライン・コンタクト孔の形成方法によると、配線の上面、および側面は、それぞれ酸化アルミニウム膜マスク、および酸化アルミニウム膜スペーサにより覆われる。フロロカーボン系のガスを用いた異方性ドライエッチングにより拡散層に達するセルフアライン・コンタクト孔を開口するに際して、これら酸化アルミニウム膜マスク、および酸化アルミニウム膜スペーサはほとんどエッチングされない。すなわち、このエッチングに対して、酸化アルミニウム膜マスク、および酸化アルミニウム膜スペーサは良好なエッチングストッパーとして機能する。このため、この配線とこのセルフアライン・コンタクト孔に埋め込まれる上層配線との間の絶縁性、あるいは隣接したセルフアライン・コンタクト孔にそれぞれ

る。さらに、層間絶縁膜を形成する前段階において、配線を覆う絶縁膜は1層の酸化アルミニウム膜のみでよいことになり、従来の方法に比べて2つの配線の間の間隔を狭くすることが可能となり、セルフアライン・コンタクト孔の占有面積を小さくすることができる。さらにまた、上述の構造により上層の配線を形成するならば、2つ以上の層の配線に対してそれぞれに自己整合的なコンタクト孔が容易に形成できる。これは、このセルフアライン・コンタクト孔開口するためのエッチングが、単一のフロロカーボン系のガスを用いた異方性ドライエッチングでよいためである。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造工程を示す多層配線層の略断面図である。

【図2】上記第1の実施例に用いる酸化シリコン系の絶縁膜のエッチングを説明するためのグラフであり、CH₄とCH₄とによる酸化シリコン系の絶縁膜と酸化アルミニウム膜とのエッチング選択比を示すグラフである。

【図3】本発明の第2の実施例の製造工程を示す多層配線層の略断面図である。

【図4】本発明の第3の実施例の製造工程を示す多層配線層の略断面図である。

【図5】上記第3の実施例の第1の応用例を示す半導体装置の略平面図である。

【図6】上記第1の応用例の製造工程を示す半導体装置の略断面図であり、図5のXX線での略断面図である。

【図7】上記第1の応用例の製造工程を示す半導体装置の略断面図であり、図5のYY線での略断面図である。

【図8】上記第3の実施例の第2の応用例を示す半導体装置の略平面図である。

【図9】上記第2の応用例の製造工程を示す半導体装置の略断面図であり、図8のXX線での略断面図である。

【図10】本発明の第4の実施例の製造工程を示す多層配線層の略断面図である。

【図11】従来のセルフアライン・コンタクト孔の形成方法の製造工程を示す多層配線層の略断面図である。

【図12】別の従来のセルフアライン・コンタクト孔の*

* 形成方法の製造工程を示す多層配線層の略断面図である。

【符号の説明】

101, 201 シリコン基板

102, 202 フィールド酸化膜

103, 203 ゲート酸化膜

104 多結晶シリコン膜

104a~104j, 204a, 204b ゲート電極

10 105a, 105b, 107a, 114, 245 酸化アルミニウム膜

105aa, 105ba 酸化アルミニウム膜マスク

106, 108, 108a, 108b, 208a, 208b, 208ba, 208bb 拡散層

107aa, 107ba 酸化アルミニウム膜スペーサ

109a, 109b, 209a, 209aa, 209b 層間絶縁膜

110a~110c, 119, 210a, 210b フォトレジスト膜

111 コンタクト孔

111a~111d, 121a~121e, 211a, 211aa, 211b, 211ba, 211bb セルフアライン・コンタクト孔

112a, 112aa, 112ab, 112b, 211a 開口部

113a, 113b, 243 酸化シリコン膜

115a~115d 配線

124a~124d ワード線

30 125aa, 125ab, 125ac, 125ba ピット線

131a, 131b ストレージノード電極

132, 132a 誘電体膜

133 導電体膜

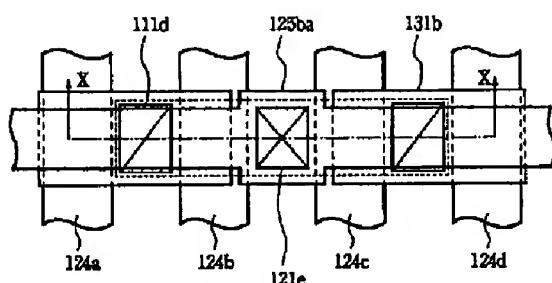
133a, 133b セルプレート電極

241a, 241b 酸化シリコン膜マスク

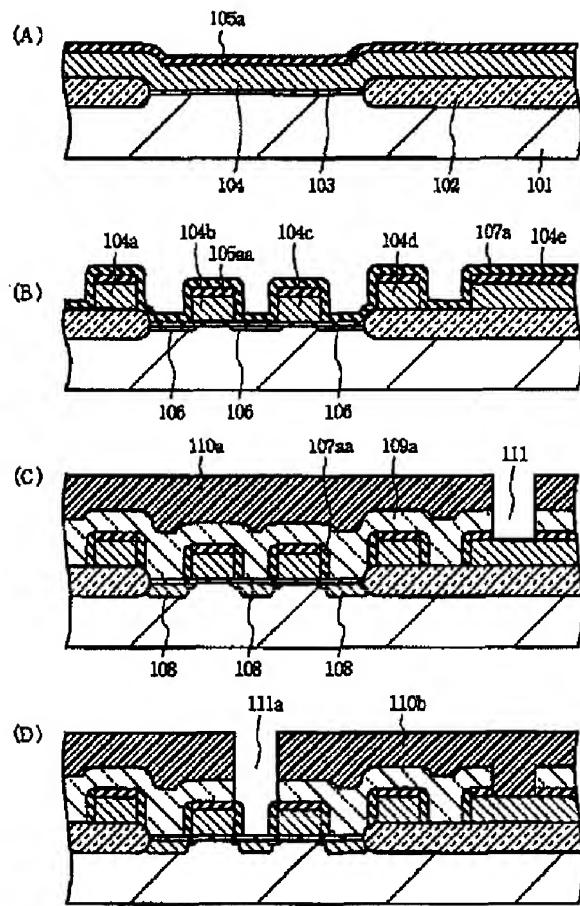
242a, 242b 酸化シリコン膜スペーサ

244 窒化シリコン膜

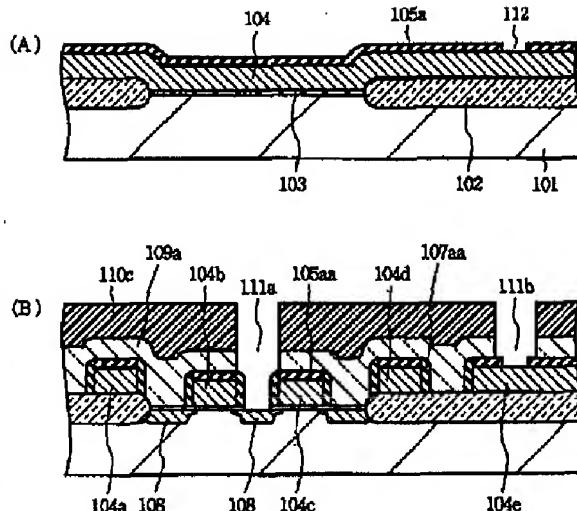
【図8】



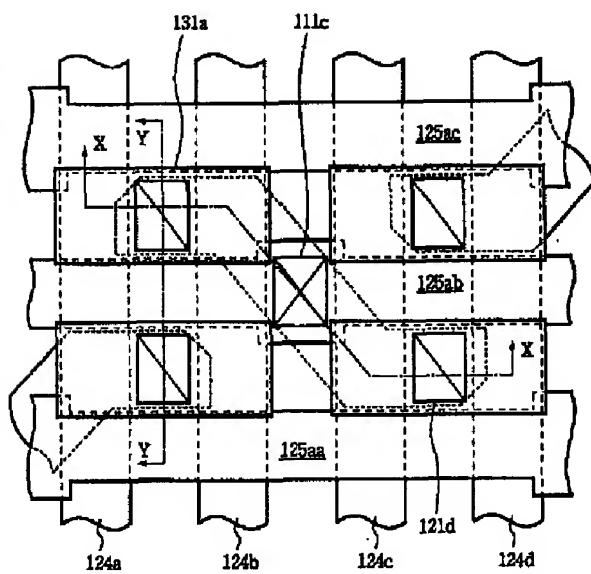
【図1】



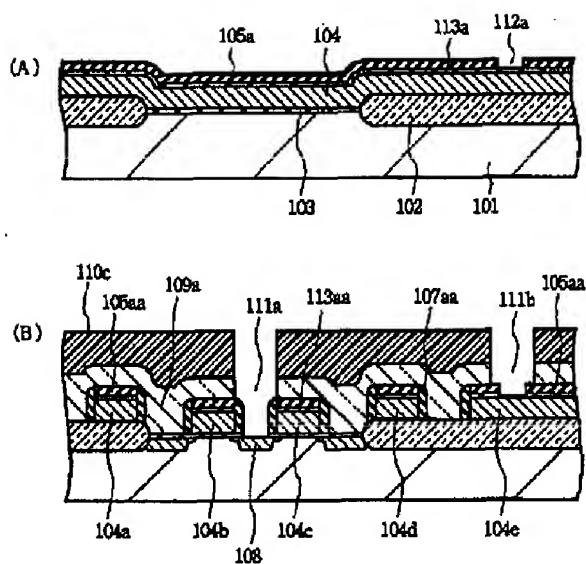
【図3】



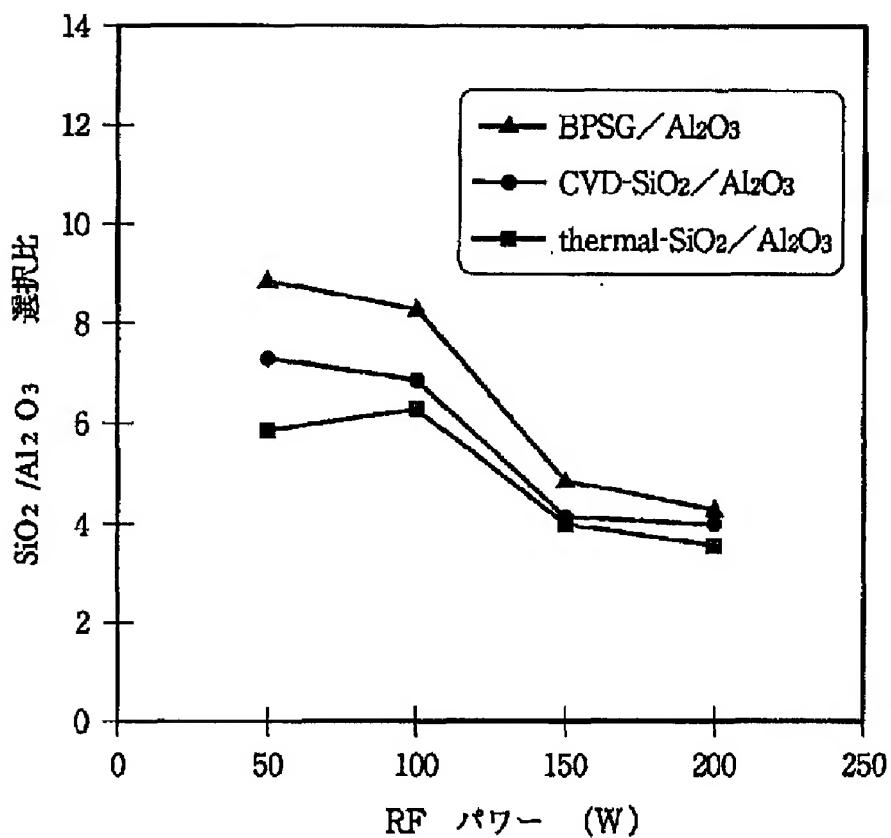
【図5】



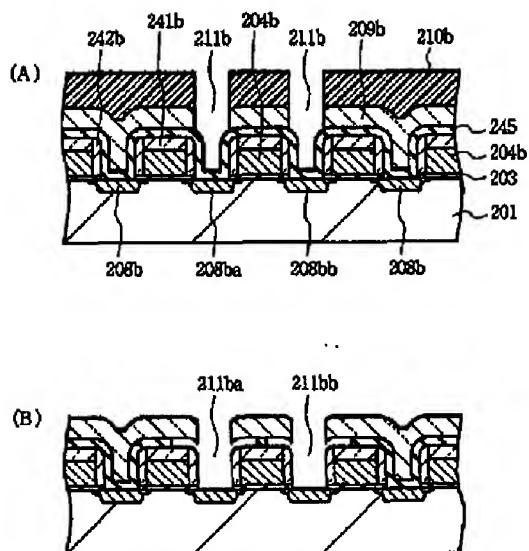
【図4】



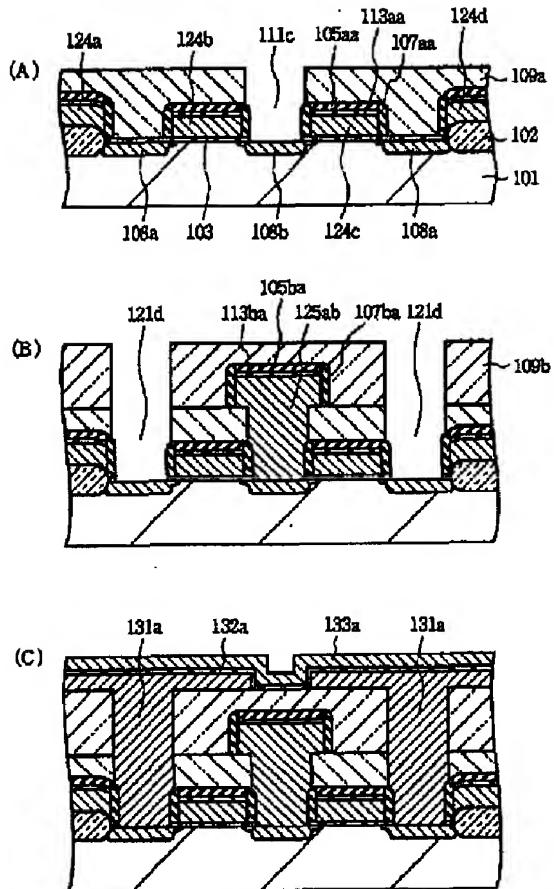
【図2】



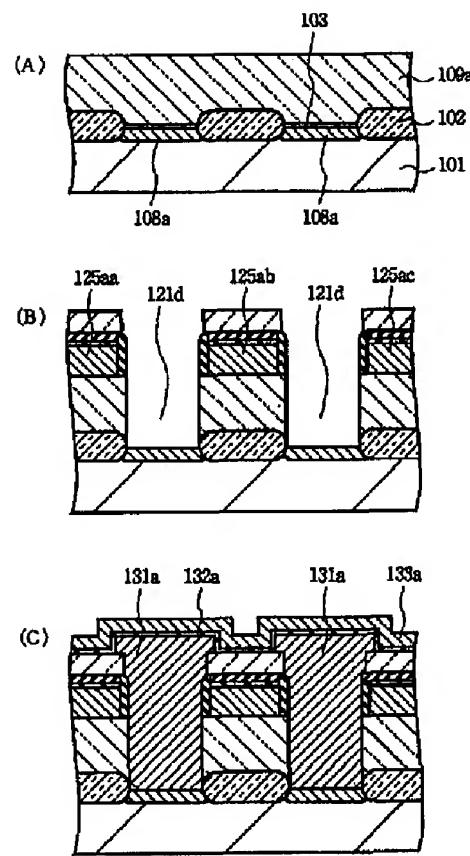
【図12】



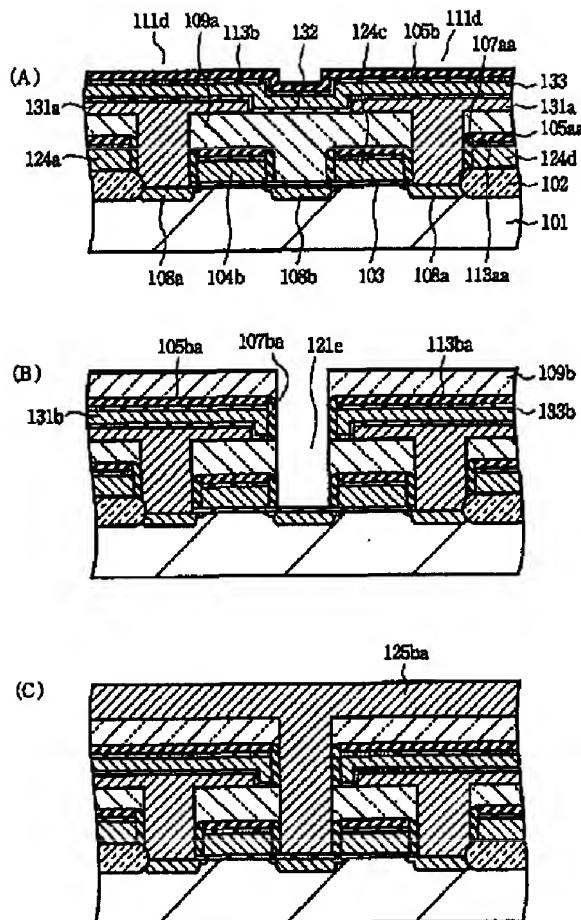
【図6】



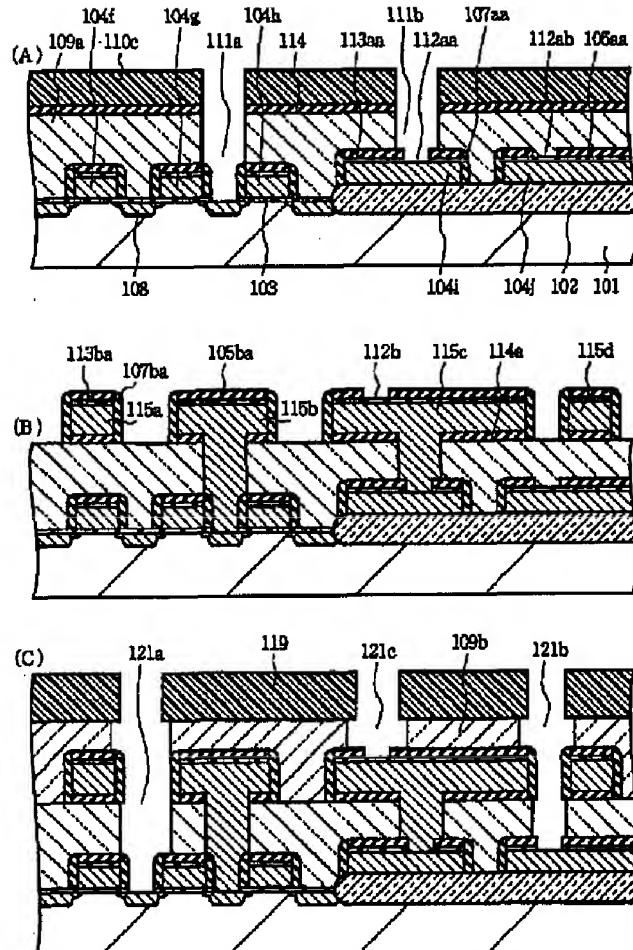
【図7】



[图 9]



【図10】



【図11】

